

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-020029

(43)Date of publication of application : 21.01.2000

(51)Int.Cl.

G09G 3/36
G02F 1/133
G09G 3/20

(21)Application number : 10-183709

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 30.06.1998

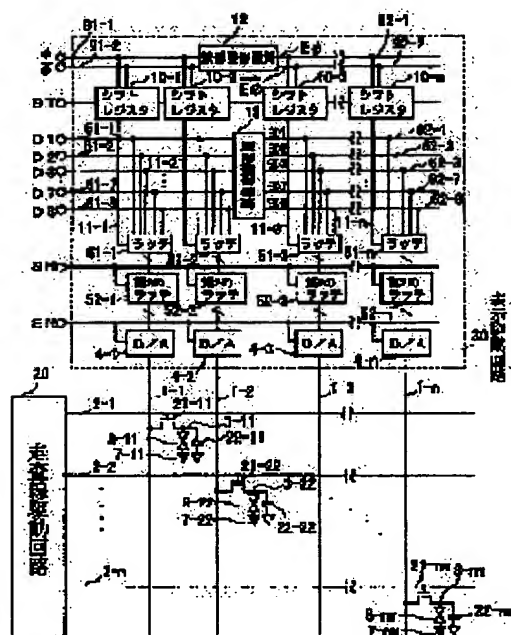
(72)Inventor : SATO HAJIME

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To enable signals to be surely transmitted to the terminal side of wiring, regardless of the product of RC of digital bus wiring, by integrally forming a display part and a drive circuit on a large-sized liquid crystal display panel.

SOLUTION: The device is equipped with latch circuits 51-1 to 51-n in which plural pieces are parallelly arranged in digital bus wiring and connected so as to retain digital signals; with shift registers 10-1 to 10-n in which time series latch signals are generated against the latch circuits 51-1 to 51-n, on the basis of signals from a clock line and in which plural levels are serially connected; with D/A converters 4-1 to 4-n which convert the output signals of the latch circuits 51-1 to 51-n to transmit to pixels; with a waveform shaping circuit 12 at least one piece of which is arranged in the transmission route of the clock line; and with a waveform shaping circuit 13 at least one piece of which is arranged in the transmission route of the digital bus wiring.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-20029

(P2000-20029A)

(43)公開日 平成12年1月21日(2000.1.21)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 5 C 0 0 6
G 0 9 G 3/20	6 3 3	G 0 9 G 3/20	6 3 3 C 5 C 0 8 0
			6 3 3 D

審査請求 未請求 請求項の数 3 O L (全 10 頁)

(21)出願番号 特願平10-183709

(22)出願日 平成10年6月30日(1998.6.30)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 佐藤 肇

埼玉県深谷市幡羅町1-9-2 株式会社

東芝深谷電子工場内

(74)代理人 100064285

弁理士 佐藤 一雄 (外3名)

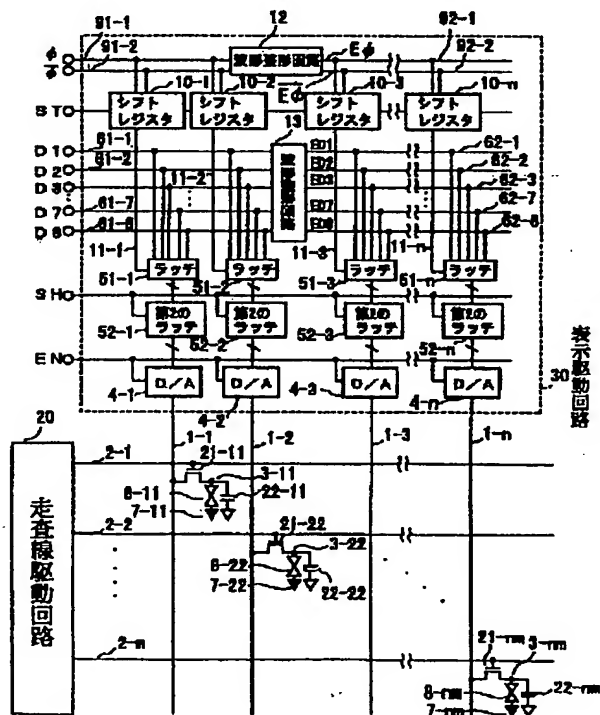
最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】 (修正有)

【課題】 大型の液晶表示パネル上に、表示部と駆動回路を一体に形成して、なおデジタルバス配線のR C積にかかわらず、信号を配線の終端側まで確実に伝送することを可能にする。

【解決手段】 デジタル信号を保持するべく、デジタルバス配線に複数個が並列に配置され接続されるラッチ回路51-1~51-nと、クロック線からの信号に基づき、ラッチ回路51-1~51-nに対する時系列的なラッチ信号を発生する、複数段を直列接続したシフトレジスタ10-1~10-nと、ラッチ回路51-1~51-nの出力信号をアナログ駆動信号に変換して画素部に送出するD/A変換器4-1~4-nと、クロック線の伝送経路中に少なくとも一個が配置される波形整形回路12と、デジタルバス配線の伝送経路中に少なくとも一個が配置される波形整形回路13とを備える。



【特許請求の範囲】

【請求項1】 デジタル表示信号を伝送するデジタルバス配線と、

入力されたクロック信号を伝送するクロック線と、
前記デジタルバス配線に並列に接続された複数のラッチ回路と、

前記クロック信号に同期してシフトパルスを順次転送し、前記各ラッチ回路に並列出力するシフトレジスタと、

前記ラッチ回路にラッチされたデジタル表示信号をアナログ駆動信号に変換して信号線に送出するD/A変換器と、

前記クロック線の伝送経路中に挿入された第1の波形整形回路と、

前記デジタルバス配線の伝送経路中に挿入された第2の波形整形回路と、

を備えたことを特徴とする液晶表示装置。

【請求項2】 各々の前記ラッチ回路出力に接続され、共通のラッチ信号に同期して前記ラッチ回路出力をラッチし前記D/A変換回路に出力するラッチ回路を有することを特徴とする、請求項1の液晶表示装置。

【請求項3】 前記第1の波形整形回路と、前記第2の波形整形回路が、同期回路であることを特徴とする、請求項1の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、液晶表示装置に係り、特に、OA機器等に用いられる直視型の大型液晶表示装置の駆動部の回路構成に関する。

【0002】

【従来の技術】 近年、ノート型のパーソナルコンピュータにおいては、直視型の大型液晶表示装置が用いられているが、応答性や視野角度等の表示品質の観点から、TFT（薄膜トランジスタ）を用いたアクティブマトリクス方式のものが主流になりつつある。

【0003】 アクティブマトリクス方式は、画素部にTFT等のスイッチング素子を配置し、ITO（透明電極）を介して、画素部の液晶を駆動するように構成される。そして、従来は、画素部のスイッチング素子のみをa-Si薄膜トランジスタで作り込み、外部の駆動回路については、外付けのLSI回路で構成するのが一般的であった。

【0004】 しかし、近年、従来は外付けとされてきた駆動回路を、液晶表示部が載置される基板と同じ基板上に、一体に形成しようとする試みが行われている。これは、表示部分の外側の面積（額縁部の幅）を低減できるばかりでなく、装置全体の厚みを薄くできるなど、携帯用のノート型パーソナルコンピュータに最適な構造を実現でき、更に、部品数の低減や製造プロセスの簡略化など、コストダウンの上でも大きなメリットがあるためで

ある。

【0005】 駆動回路一体型の液晶表示装置としては、例えば、特開平5-281920号公報に示されるような提案がなされている。この提案は、液晶表示部が形成されるのと同じガラス基板上に、薄膜トランジスタにより構成されるD/A変換器を含むドライバ回路を一体に作り込んだ構成を示している。このような構成によれば、液晶表示装置に与える表示入力信号を、デジタル信号の形で直接与えることができるため、外部回路の規模を大幅に縮小でき、ノイズの影響を受けにくくなり、更に表示画面の均一性が改善されるなど、様々なメリットが期待できる。

【0006】 さて、上記の従来例で提案されている液晶表示装置は、マトリクス状に配線された複数の信号線、画素電極、前記複数の信号線に接続された複数のD/A変換回路、前記複数のD/A変換回路に接続された複数のラッチ回路、前記複数のラッチ回路に接続されたデジタルバス配線、前記デジタルバス配線に接続された入力端子を有する第1の電極基板と、前記画素電極と対向して形成された対向電極を有する第2の電極基板と、前記第1の電極基板および第2の電極基板との間に挟持された液晶層とを有する液晶表示装置であり、前記ラッチ回路のラッチタイミングはシフトレジスタの出力信号で決まっている。

【0007】 さて、従来例のような構造は、プロジェクション用の比較的小型の液晶表示装置を作る上では有効であるが、ノート型のパーソナルコンピュータ等に搭載される大型直視型の液晶パネルに用いるには、以下に説明するような問題が残る。

【0008】 従来例のような液晶表示装置においては、デジタルバス配線に10MHzを超える速度のデジタル信号を送る必要があるが、パネルが大型になると、デジタルバス配線の、配線抵抗および配線容量が増大し、デジタルバス配線の終端側に信号を伝送できなくなる。例えば、A4のノートサイズに適合するパネルで、膜厚が450nm、シート抵抗が70mΩ/mm²のAl（アルミニウム）配線を用いてデジタルバス配線を形成した場合に、W/L=10/200,000

(μm)で配線容量100pFの時、デジタルバス配線のRC積（抵抗・容量積）は140nsとなる。この値は、10MHzのクロックを考えた場合、クロック周期の100nsよりも長い。このため、デジタルバス配線の終端側では、信号振幅が確保できなくなり、信号を送ることができなくなる。

【0009】 以上のような問題は、デジタルバス配線のRC積を小さくすることにより、解消できるが、大型の直視用液晶パネルでは、配線長が通常の半導体製品と比較しても大幅に長い場合、単純にRC積を低減させることは非常に困難である。

【0010】

【発明が解決しようとする課題】以上述べたように、従来の液晶表示装置では、大型の液晶表示パネル上に、駆動回路を一体に搭載しようとしても、デジタル信号を伝送するためのデジタルバス配線のRC積が、クロック周期よりも長くなってしまうため、デジタル信号配線の終端側で、信号の振幅が確保できなくなってしまう、結果として、信号の伝送ができなくなってしまうという問題点があった。

【0011】本発明は、上記のような従来技術の問題点を解消し、大型の液晶表示パネル上に、駆動回路を一体に形成して、なおデジタルバス配線のRC積にかかわらず、信号を配線の終端側まで確実に伝送することを可能にした液晶表示装置を提供することを目的とする。

【0012】

【課題を解決するための手段】上記目的を達成するために、本発明は、デジタル表示信号を伝送するデジタルバス配線と、入力されたクロック信号を伝送するクロック線と、前記デジタルバス配線に並列に接続された複数のラッチ回路と、前記クロック信号に同期してシフトパルスを順次転送し、前記各ラッチ回路に並列出力するシフトレジスタと、前記ラッチ回路にラッチされたデジタル表示信号をアナログ駆動信号に変換して信号線に送出するDA変換器と、前記クロック線の伝送経路中に挿入された第1の波形整形回路と、前記デジタルバス配線の伝送経路中に挿入された第2の波形整形回路と、を備える液晶表示装置を提供するものである。

【0013】

【発明の実施の形態】以下、図面を参照しながら、本発明の実施形を説明する。

【0014】図1は、本発明の実施形の液晶表示装置の等価回路図である。

【0015】図において示すように、表示部には、図示しない2枚のガラス基板により液晶を挟み込んだ、周知の構成が適用される。液晶層は、マトリクス状に配列された画素を形成する複数セルの液晶層8-11~8-nmとして個別に駆動されることになる。

【0016】さて、液晶層8-11~8-nmの、各画素ごとに対応して、透明電極として構成される画素電極3-11~3-nmが配置されており、これを駆動するための薄膜トランジスタで形成されたスイッチ素子21-11~21-nmのソースまたはドレインの一方が接続される。

【0017】画素電極3-11~3-nmに対して、液晶層8-11~8-nmの画素を挟むように対向して対向電極7-11~7-nmが配置される。ちなみに、この対向電極7-11~7-nmは共通接続され、所定の電位に制御される。

【0018】画素電極3-11~3-nmには、電位を保持するための補助容量22-11~22-nmが接続される。

【0019】スイッチ素子21-11~21-nmのソースまたはドレインの他方には、信号線1-1~1-nを通じて、表示駆動用のアナログ電圧が与えられる。

【0020】スイッチ素子21-11~21-nmのゲートには、スイッチング用の走査信号が、走査線2-1~2-mを通じて与えられる。

【0021】信号線1-1~1-nと走査線2-1~2-mは、表示部において、物理的に格子状に配線される。

【0022】さて、以上述べたような表示部に対して、同一のガラス基板には、走査線駆動回路20と表示駆動回路30が形成されている。

【0023】走査線駆動回路20は、走査線2-1~2-mに対して、フレーム周期ごとに循環しながら繰り返しスイッチング信号を出力する。その結果、スイッチ素子21-11~21-n1、21-12~21-n2、21-13~21-n3...21-1m~21-nmの順に、オン動作する。

【0024】表示駆動回路30は、走査線駆動回路20からの走査信号に対応する表示駆動信号を、信号線1-1~1-nに出力する。

【0025】表示信号は、図示しない外部回路から、デジタル信号D1~D8で与えられる。デジタル信号D1~D8は、デジタルバス配線61-1~61-8に導入され、波形整形回路13を通じて、デジタル信号ED1~ED8に変換され、デジタルバス配線62-1~62-8に送られる。

【0026】デジタルバス配線61-1~61-8のデジタル信号D1~D8は、ラッチ回路51-1~51-2でラッチされ、デジタルバス配線62-1~62-8のデジタル信号ED1~ED8は、ラッチ回路51-3~51-nでラッチされる。ラッチ回路51-1~51-nにラッチされたデジタル信号は、ラッチ回路52-1~52-nに送られ、ここで保持され、DA変換器4-1~4-nに与えられる。デジタル信号は、DA変換器4-1~4-nでアナログ信号に変換され、信号線1-1~1-nを通じて、スイッチ素子21-11~21-nmに出力される。

【0027】ラッチ回路51-1~51-nには、シフトレジスタ10-1~10-nより出力信号線11-1~11-nを通じて、ラッチ信号が与えられ、ラッチタイミングを制御している。

【0028】信号のタイミングを規定するクロック信号φ、/φは、それぞれクロック信号線91-1、91-2に導入され、波形整形回路12を通じて、クロック信号Eφ、/Eφに変換され、クロック信号線92-1、92-2に送られる。

【0029】シフトレジスタ10-1~10-2は、クロック信号線91-1、91-2からのクロック信号φ、/φにより制御され、シフトレジスタ10-3~1

0-nは、クロック信号線92-1、92-2からのクロック信号Eφ、/Eφにより制御される。

【0030】シフトレジスタ10-1は、クロック信号φ、/φに同期してスタート信号STを読み込み、シフトレジスタ10-2に転送する。シフトレジスタ10-2は、同様に、クロック信号φ、/φに同期してシフトレジスタ10-1からの信号を読み込み、シフトレジスタ10-3に転送する。

【0031】シフトレジスタ10-3は、クロック信号Eφ、/Eφに同期して、シフトレジスタ10-2からの信号を読み込み、次の段のシフトレジスタに転送する。

【0032】以降は、クロック信号Eφ、/Eφに同期して、シフトレジスタ10-nまで順次、信号の転送が行われる。

【0033】以上のようにして、転送された信号は、出力信号線11-1~11-nを通じて、ラッチ回路51-1~51-nに与えられる。

【0034】以上述べたような構成を有する表示駆動回路30の回路構成のポイントは、クロック信号φ、/φを送るに当たり、途中で波形整形回路12を介して波形整形し、クロック信号Eφ、/Eφに変換することである。このように途中で波形整形回路を入れることにより、長い配線を送られるクロック信号φ、/φの減衰を、波形整形回路12で補償することができる。なお、波形整形回路12を介在させることにより、クロック信号φ、/φとクロック信号Eφ、/Eφの間には、遅れ時間が発生するが、これは、入力されるデジタル信号D1~D8を同様に遅らせることにより、コンベンセントすることができる。

【0035】つまり、デジタルバス配線61-1~61-8に入力されるデジタル信号D1~D8は、波形整形回路13を介して波形整形することにより、長い配線を送られる間の信号の減衰を補償されたデジタル信号ED1~ED8となる。このデジタル信号ED1~ED8も、クロック信号Eφ、/Eφと同様、波形整形回路13を介在させることにより、デジタル信号D1~D8に対して、遅れ時間を持つことになる。

【0036】しかし、クロック信号φ、/φに基づいてタイミング制御されているシフトレジスタ10-1~10-2からの信号を、出力信号線11-1~11-2を通じて受け取っているラッチ回路51-1~51-2は、デジタルバス配線61-1~61-8からのデジタル信号D1~D8を受け取るため、波形整形回路12、13によるクロック信号φ、/φやデジタル信号D1~D8の遅延の影響を受けない領域で動作することになるため、タイミング的に問題なく動作する。一方、信号の伝送長も、それ程、長くないため、十分な信号振幅の領域で動作させることが可能である。

【0037】これに対して、クロック信号Eφ、/Eφ

に基づいてタイミング制御されているシフトレジスタ10-3~10-nからの信号を、出力信号線11-3~11-nを通じて受け取っているラッチ回路51-3~51-nは、デジタルバス配線62-1~62-8からのデジタル信号ED1~ED8を受け取るため、波形整形回路12、13の遅延の影響を受ける領域で動作することになる。しかし、シフトレジスタ10-3~10-nのタイミングを規定するクロック信号Eφ、/Eφは、クロック信号φ、/φに対して、ある遅れを持つが、同時に、デジタル信号ED1~ED8も、デジタル信号D1~D8に対して、同様の遅れを持つため、タイミング的に問題なく動作する。一方、信号の伝送長にかかわらず、途中で波形整形回路12、13が介在するため、伝送長に起因する信号振幅の減衰は、ここで補償され、十分な振幅の信号に回復させられる。

【0038】以上のようにして、ラッチ回路51-1~51-nに保持された信号は、改めて、共通のサンプルホールド信号SHで第2のラッチ回路52-1~52-nに転送される。その結果、全ての信号が、同時にラッチ回路52-1~52-nに保持され、ラッチ回路52-1~52-nから出力される。

【0039】ラッチ回路52-1~52-nの出力は、DA変換器4-1~4-nに与えられ、イネーブル信号ENに基づき、アナログ信号に変換され、信号線1-1~1-nに送出される。

【0040】その結果、外部から与えられたデジタル信号D1~D8に基づく表示が、スイッチ素子21-1~21-nmの動作を通じて、液晶層8-11~8-nm上に行われることになる。なお、表示部の動作は周知であるので、ここで詳細な説明を行うのは省略する。

【0041】波形整形回路12は、図2に示すように、インバータ12-1、12-2の直列回路、インバータ12-3、12-4の直列回路で構成できる。例えば、クロック信号φをインバータ12-1、12-2を通すことにより、波形整形され、タイミングの遅れたクロック信号Eφを得ることになり、クロック信号/φをインバータ12-3、12-4を通すことにより、波形整形され、タイミングの遅れたクロック信号/Eφを得ることになる。

【0042】クロック信号φとクロック信号/φが互いに逆相の信号であることに着目すれば、波形整形回路12は、図3のように構成してもよい。つまり、クロック信号φをインバータ12-5で反転整形し、これをクロック信号/Eφとして出力し、クロック信号/φをインバータ12-6で反転整形し、これをクロック信号Eφとして出力するようにする。その結果、図2の構成よりも、構造が簡単で、遅れ時間も少ない回路を実現できる。

【0043】なお、波形整形回路13についても、波形整形回路12と全く同様の構成が適用可能であるが、ク

ロック信号 ϕ 、 ϕ とデジタル信号D1～D8の遅延時間はお互いにバランスが取れている必要があるため、同じ構成プロセスであることが望ましい。

【0044】なお、上記実施例では、説明の簡単のために、波形整形回路12、13をクロック信号 ϕ 、 ϕ の伝送経路と、デジタル信号D1～D8の伝送経路に、それぞれ一段ずつ挿入した場合を、例示して説明したが、図2、図3に示すように、波形整形回路12、13は非常に簡単な回路で構成できるので、全伝送経路の途中に複数段配置するように構成するのが現実的である。

【0045】例えば、シフトレジスタ10-1～10-nの2段分毎、つまりラッチ回路51-1～51-nの2個毎に、波形整形回路12、13を配置することにより、最終段での遅延時間は大きくなるものの、長い信号伝送経路での確実な信号の伝達を実現することができる。このような場合の、信号の状態を、図4のタイミングチャートに基づいて説明する。

【0046】図2において、(A)は、シフトレジスタ10-1に与えられるスタート信号ST、(B)、(C)は、それぞれクロック信号線91-1、91-2に与えられるクロック信号 ϕ 、 ϕ 、(D)、(E)は、それぞれ波形整形回路12を通じてクロック信号線92-1、92-2に出力されるクロック信号E ϕ 、 ϕ 、(F)、(G)は、それぞれデジタルバス配線61-1、61-8に与えられるデジタル信号D1、D8、(H)、(I)は、それぞれ波形整形回路13を通じてデジタルバス配線62-1、62-8に出力されるデジタル信号ED1、ED8、(J)、(K)は、それぞれシフトレジスタ10-1、10-2から出力信号線11-1、11-2を通じてラッチ回路51-1、51-2に与えられるラッチ信号、(L)、(M)は、それぞれシフトレジスタ10-3、10-4から出力信号線11-3、11-4を通じてラッチ回路51-3、51-4に与えられるラッチ信号、(N)は、それぞれシフトレジスタ10-nから出力信号線11-nを通じてラッチ回路51-nに与えられるラッチ信号、(O)はラッチ回路52-1～52-nに与えられるサンプルホールド信号SH、(P)はDA変換器4-1～4-nに与えられるイネーブル信号ENである。ちなみに、図4は、1水平走査期間分の信号周期に対応する動作を示すものであり、この周期の動作を水平走査線分繰り返すことにより、1フレーム分の動作、つまり全画面表示に対応する動作が完結することになる。また、ラッチ回路51-3、4に、出力信号線11-3、11-4を通じて与えられる信号と、ラッチ回路51-nに出力信号線11-nを通じて与えられる信号の間には、複数段の波形整形回路12が介在しているため、大幅な遅延時間があるが、デジタル信号D1～D8についても、波形整形回路13が同数段介在するため、同様の遅れ時間が生じている。

【0047】さて、同図(A)に示すように、シフトレジスタ10-1にスタート信号STが入力されると、同図(B)、(C)に示すような、クロック信号線91-1、91-2のクロック信号 ϕ 、 ϕ に同期して、同図(J)に示すように、出力信号線11-1に信号が現れる。

【0048】その結果、同図(F)、(G)に示すようなタイミングで、デジタルバス配線61-1～61-8に入力されたデジタル信号D1～D8は、出力信号線11-1を通じて送られてくる信号の立ち下がりに同期して、ラッチ回路51-1にラッチされる。

【0049】続いて、シフトレジスタ10-1の信号は、クロック信号線91-1、91-2のクロック信号 ϕ 、 ϕ に同期して、シフトレジスタ10-2に転送され、同図(K)に示すように、出力信号線11-2に、クロック信号 ϕ 、 ϕ の1クロック分シフトした信号が現れる。

【0050】その結果、同図(F)、(G)に示すようなタイミングで、デジタルバス配線61-1～61-8に入力されたデジタル信号D1～D8は、出力信号線11-2を通じて送られてくる信号の立ち下がりに同期して、ラッチ回路51-2にラッチされる。

【0051】この後、クロック信号線91-1、91-2のクロック信号 ϕ 、 ϕ は、波形整形回路12で波形整形され、いくぶんの遅延を持って、クロック信号線92-1、92-2に、クロック信号E ϕ 、 ϕ として出力される。これは、図4(D)、(E)に示すとおりである。

【0052】併せて、デジタルバス配線61-1～61-8のデジタル信号D1～D8は、波形整形回路13で波形整形され、クロックの遅延と同じ程度の遅延を持って、デジタルバス配線62-1～62-8に、デジタル信号ED1～ED8として出力される。これは、図4(H)、(I)に示すとおりである。

【0053】その結果、シフトレジスタ10-2の信号は、クロック信号線92-1、92-2のクロック信号E ϕ 、 ϕ に同期して、シフトレジスタ10-3に転送され、同図(L)に示すように、出力信号線11-3に、クロック信号E ϕ 、 ϕ に同期した信号、つまりクロック信号 ϕ 、 ϕ に対して Δt_c の遅延を持った信号が現れる。

【0054】一方、波形整形回路13を通じて、同図(H)、(I)に示すようなタイミングで、デジタルバス配線62-1～62-8に、デジタル信号ED1～ED8が出力されるが、この信号は、出力信号線11-3を通じて送られてくる信号の立ち下がりに同期して、ラッチ回路51-3にラッチされる。

【0055】同様に、シフトレジスタ10-3の信号は、クロック信号線92-1、92-2のクロック信号E ϕ 、 ϕ に同期して、シフトレジスタ10-4に転

送され、同図(M)に示すように、出力信号線11-4に、クロック信号 $E\phi$ 、 $/E\phi$ の1クロック分遅れた信号、つまりクロック信号 ϕ 、 $/\phi$ に対して Δt_d の遅延を持った信号が現れる。

【0056】その結果、デジタルバス配線62-1~62-8のデジタル信号ED1~ED8は、出力信号線11-4を通じて送られてくる信号の立ち下がりに同期して、ラッチ回路51-4にラッチされる。

【0057】ちなみに、出力信号線11-3の信号の遅延時間 Δt_c と、出力信号線11-4の信号の遅延時間 Δt_d は、この両系統の間に波形整形回路12、13が介在しないので、同じである。しかし、両系統の間に波形整形回路12、13が介在すれば、当然、これらの遅延時間が、異なってくることは当然である。

【0058】同様の動作を繰り返しながら、シフトレジスタ10-1~10-nは、スタート信号STを順次転送し、最終的に、シフトレジスタ10-nに信号がセットされるが、このための信号は、クロック信号 ϕ 、 $/\phi$ を複数段の波形整形回路12を経て、波形整形と遅延を繰り返してきたクロック信号から得られるため、シフトレジスタ10-nから出力信号線11-nに出力される信号は、図4(N)に示すように、クロック信号 ϕ 、 $/\phi$ から見た場合、1クロック周期以上の遅延時間 Δt_x を持つ信号となる。しかし、デジタルバス配線を、同様に複数段の波形整形回路13を通じて転送されてきたデジタル信号D1~D8も、同様の遅延時間を持つため、ラッチ回路51-nには、正しく、デジタル信号がラッチされることになる。

【0059】以上述べたようにして、1水平走査分に相当する表示データが、ラッチ回路51-1~51-nにセットされるが、その後、図4(O)に示すように、サンプルホールド信号SHが第2のラッチ回路52-1~52-nに与えられると、ラッチ回路51-1~51-nの信号は、一斉に、ラッチ回路52-1~52-nにセットされる。この信号は、DA変換器4-1~4-nを通じて、アナログ変換され、図4(P)に示すように、DA変換器4-1~4-nへのイネーブル信号ENが立ち上がると、一斉に、信号線1-1~1-nに送出される。

【0060】その結果、走査線駆動回路20によって選択されている走査線2-1~2-mに対応するスイッチ素子21-11~21-nmを通じて、液晶層8-11~8-nmにアナログ表示信号が与えられ、当該水平走査線に対応するラインの表示が行われる。なお、この信号は、液晶層8-11~8-nmの持つ容量と、補助容量22-11~22-nmの容量により、次の水平走査時まで1フレーム間保持される。

【0061】なお、波形整形回路12、13は、その電源容量(インピーダンス)により、信号の立ち上がり時間が決定されるので、クロック信号 ϕ 、 $/\phi$ や、ディ

タル信号D1~D8が伝送される全経路の部分で、十分な容量の電源が確保されるように回路は設計される必要がある。その結果、全体に、急峻な波形のクロック信号や、デジタル信号を得ることができる。なお、この回路構成は、クロック系統の遅延と、デジタルバス配線の遅延が、複数段の波形整形回路12、13を通して、バランスが取れていることが要となるので、このためには、プロセス中における波形整形回路12、13の能力、配線容量、配線抵抗等は、注意深く選択される必要がある。

【0062】なお、回路や配線のばらつきにより、クロックと信号の遅延時間のバランスを取るのが困難な場合、波形整形回路12として、同期方式の回路を採用する。

【0063】図5は、同期式の波形整形回路12の回路構成を示す回路図である。

【0064】図において示すように、波形整形回路12として、フリップフロップ回路12a~12cを採用し、一段ごとに反転するクロック信号 ϕ 、 $/\phi$ でこれらを駆動するようにする。その結果、クロック信号 ϕ 、 $/\phi$ は、半クロックずつ遅延させられるが、フリップフロップ回路12a~12cにより十分な振幅の信号が得られることになる。その結果、半クロック周期単位のずれはあるが、終端側でも基本的にクロック信号 ϕ 、 $/\phi$ に同期した信号が得られる。

【0065】なお、デジタル信号D1~D8については、波形整形回路12で作られたクロックに基づいて、クロック信号 ϕ 、 $/\phi$ の半クロック単位で動作するフリップフロップ回路で波形整形と遅延を行わせる。その結果、デジタル信号D1~D8は、クロック信号 ϕ 、 $/\phi$ の半クロック単位で遅延して行くことになる。

【0066】したがって、デジタル信号D1~D8をラッチするための信号を発生するシフトレジスタ10-1~10-nについては、クロック信号 ϕ 、 $/\phi$ の1.5クロック周期毎に出力信号線11-1~11-nにラッチ信号が出力されるように、そのクロック回路を設計する必要がある。

【0067】一方、1水平走査期間で全てのデジタル信号D1~D8をラッチ回路51-1~51-nにラッチさせるためには、非同期の構成に対して、1.5倍以上の周波数のクロック信号 ϕ 、 $/\phi$ を適用する必要がある。

【0068】なお、クロック信号 ϕ 、 $/\phi$ は、フリップフロップ回路12a~12cの全段に渡って、同一の線路を経由して引き回されることになるが、クロック信号 ϕ 、 $/\phi$ を与えられるフリップフロップ回路12a~12cの数が少なければ、入力容量も小さく、配線の時定数も小さいので、終端側でもフリップフロップ回路12a~12cを駆動するに十分な振幅は確保可能である。

【0069】図6は、上記実施形の液晶表示装置を実現

するための、電極基板の製造方法を説明するための基板断面図である。

【0070】図において示すように、ガラス等の共通の透明絶縁基板14上には、駆動回路部28と画素部29の2つの領域が設定される。

【0071】まず、(a)に示すように、透明絶縁基板14の上に、プラズマCVD法により、厚さ50nmのアモルファスシリコン15を堆積し、このアモルファスシリコン15を、XeClエキシマレーザ装置でアニールして多結晶化する。エキシマレーザ装置からのレーザ光16は、図中における矢印A方向に走査され、レーザ光16が照射された領域は、結晶化され多結晶シリコン膜15となる。なお、この際に、レーザ照射エネルギーを段階的に上げながら、複数回照射を行うことにより、アモルファスシリコン膜中の水素を効果的に抜くことができ、結晶化時のアブレーションを防止することができる。なお、照射エネルギーは、200~500mJ/cm²程度が適している。

【0072】続いて、(b)に示すように、多結晶シリコン膜17をフォトリソグラフィ法を用いてパターンニングし、薄膜トランジスタの活性層18を形成する。

【0073】次に、(c)に示すように、シリコン酸化膜によるゲート絶縁膜19をプラズマCVD法により形成した後、モリブデン-タングステン合金膜をスパッタ法で成膜し、パターンニングすることで、ゲート電極23を形成する。このパターンニング時に、走査線も同時に形成する。ゲート電極23としては、この他に、窒化シリコン膜や、常圧CVD法によるシリコン酸化膜を用いてもよい。

【0074】ゲート電極23の形成後に、ゲート電極23をマスクとして、イオンドーピング法で、不純物を打ち込み、薄膜トランジスタのソースドレイン領域18aを形成する。例えば、不純物としては、N-*ch*トランジスタの場合は、リンを用い、P-*ch*トランジスタの場合は、ボロンを用いる。

【0075】なお、画素部29のトランジスタに関して言えば、オフリーク電流を抑制するために、LDD(Lightly Doped Drain)構造を用いるのが効果的である。この場合、ソースドレイン領域18aへの不純物注入後に、ゲート電極23を再パターンニングし、一定量だけ細くした後、再度低濃度の不純物打込を行う。

【0076】引き続き、(d)に示すように、ゲート電極23の上に、プラズマCVD法または常圧CVD法で、シリコン酸化膜による層間絶縁膜24を形成し、層間絶縁膜24の上に、ITO(Indium Tin Oxide)膜25を形成し、これをパターンニングすることにより画素電極を形成する。

【0077】最後に、層間絶縁膜24およびゲート絶縁膜19にコンタクトホールを形成し、スパッタ法でAl

膜を形成した後、パターンニングすることでソースドレイン電極26、27を形成する。この時、データ線も同時に形成する。

【0078】続いて、必要に応じて、パッシベーション膜を成膜し、パターンニングすることにより、液晶表示装置の電極基板を完成することができる。

【0079】この電極基板に対して、共通接続される対向電極を配置した対向基板を対面させ、周囲をエポキシ樹脂等のシール材で囲み、両基板間の空隙に液晶を注入し、これを封止することにより、液晶表示装置を完成する。

【0080】以上述べたように、画素部29と駆動回路部28の上に配置される回路は、所定のプロセスの下で、容易に製造することが可能である。

【0081】したがって、本発明の実施形に示したように、大型の直視型液晶パネル等の上に、駆動回路を形成した場合に、比較的長い距離を伝送されるクロック信号φ、/φおよびデジタル信号D1~D8の振幅の低減を、波形成形回路で補い、波形成形に付随する信号の遅れ時間については、クロック信号φ、/φとデジタル信号D1~D8を略同じだけ遅延させることにより、補償することで、動作の安定した液晶表示装置を実現することが可能となる。

【0082】

【発明の効果】以上述べたように、本発明は、画素部と駆動回路部を共通の基板上に形成し、高速で比較的長い距離を送られる、クロック信号と表示駆動用のデジタル信号を、それぞれ波形成形回路を通すことにより振幅補償し、結果として生じる遅延時間に関しては、クロック信号とデジタル信号の遅れ時間を合わせることにより、補償して、クロック信号やデジタル信号の減衰に起因する動作不具合を解消し、安定動作が可能な、大型の液晶表示パネルを構成できる効果がある。

【図面の簡単な説明】

【図1】本発明の実施形の液晶表示装置の等価回路図である。

【図2】図1の構成に適用される波形整形回路の一例の回路図である。

【図3】図1の構成に適用される波形整形回路の他の例の回路図である。

【図4】図1の構成の動作を説明するためのタイミングチャートである。

【図5】同期式波形整形回路の構成例を示すブロック図である。

【図6】本実施形の液晶表示装置を実現するための、電極基板の製造方法を説明するための基板断面図である。

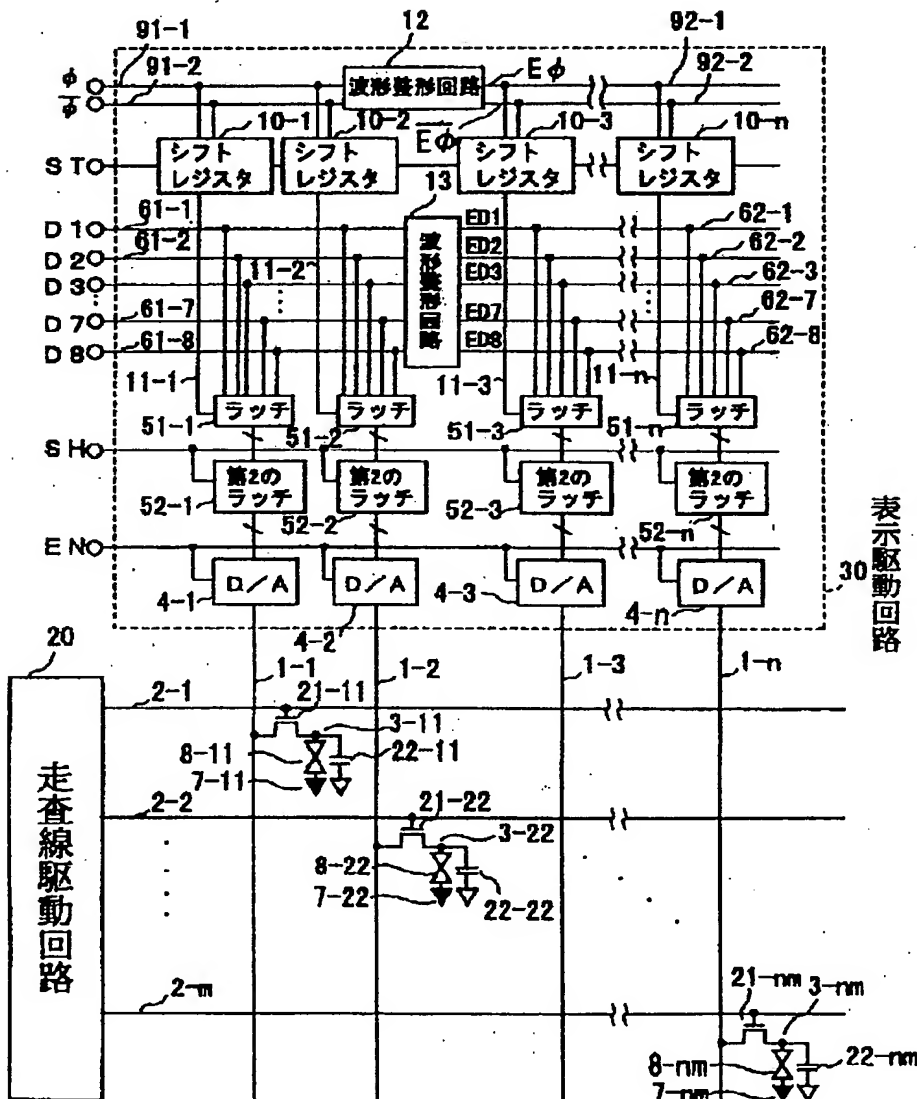
【符号の説明】

1-1~1-n 信号線
2-1~2-m 走査線
3-11~3-nm 画素電極

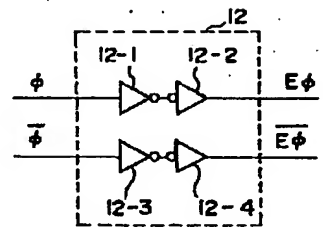
4-1~4-n DA変換器
 51-1~51-n ラッチ回路
 52-1~52-n ラッチ回路
 61-1~61-8、62-1~62-8 デジタル
 バス配線
 7-11~7-nm 対向電極
 8-11~8-nm 液晶層
 91-1、91-2、92-1、92-2 クロック信
 号線
 10-1~10-n シフトレジスタ
 11-1~11-n 出力信号線
 12、13 波形整形回路
 14 透明絶縁基板
 15 アモルファスシリコン

16 レーザ光
 17 多結晶シリコン膜
 18 活性層
 19 ゲート絶縁膜
 20 走査線駆動回路
 21-11~21-nm スイッチ素子
 22-11~22-nm 補助容量
 23 ゲート電極
 24 層間絶縁膜
 25 ITO膜
 26、27 ソースドレイン電極
 28 駆動回路部
 29 画素部
 30 表示駆動回路

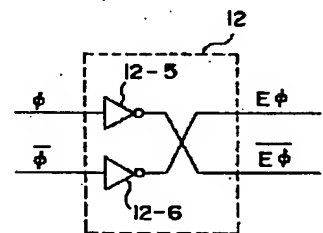
【図1】



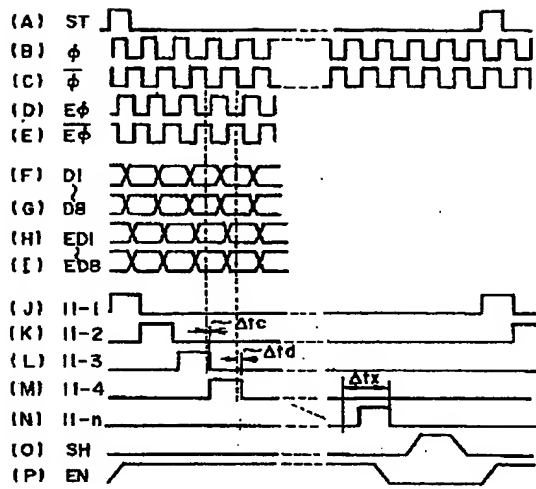
【図2】



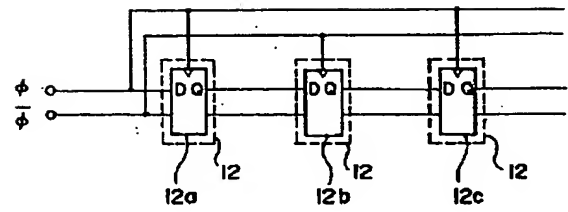
【図3】



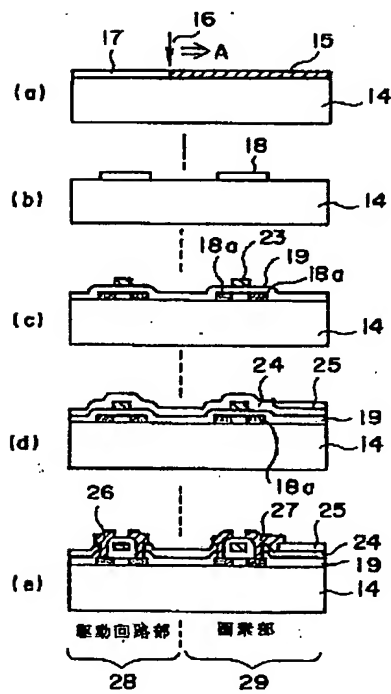
【図4】



【図5】



【図6】



フロントページの続き

Fターム(参考) 2H093 NC22 NC26 NC62 NC90 ND60
5C006 AC28 AF44 AF46 AF50 AF72
AF82 BB16 BC03 BC13 BC16
BC20 BF03 BF04 BF06 BF07
BF11 BF16 BF27 FA16 FA18
FA37
5C080 AA10 BB05 DD09 GG01 GG09
JJ02 JJ03 JJ04 JJ06 KK01